

L'EVOLUCIÓ DE LA MICROELECTRÒNICA

FRANCESC SERRA I MESTRES

Membre de la Secció de Ciències i Tecnologia de l'Institut d'Estudis Catalans
Professor de la Universitat Autònoma de Barcelona

SUMMARY

In this paper a brief review of the evolution of microelectronics is presented focusing our attention on the parameters that lead this evolution: the reduction of the device dimensions together with the increase of the chips' area. Two different types of limits existing in the evolution of microelectronics are shown: those related with the devices and circuits (fundamentals) as well as those arising from fabrication technology or design. Finally, some predictions about the future of microelectronics are presented.

1. INTRODUCCIÓ

La invenció del circuit integrat per J. Kilby [16] de la companyia Texas Instruments i per R. N. Noyce [20] de la companyia Fairchild Semiconductors al principi dels anys 60 representà el tret de sortida de la gran cursa de la microelectrònica cap a la complexitat i rapidesa dels circuits electrònics. Aquest fet permeté els avanços tan espectaculars que han anat assolint aquests darrers anys la informàtica, les comunicacions i moltes altres de les anomenades noves tecnologies.

Els primers circuits integrats estaven constituïts per xips de silici fabricats amb tècnica "planar" [13], posada a punt aquells mateixos anys pels investigadors de la companyia Fairchild, a fi de fabricar milers de transistors de gran qualitat de forma simultània. En certa manera el concepte de xip és una conseqüència lògica d'aquesta tècnica i tots els xips fabricats fins avui ho han estat amb tècnica planar, més o menys modificada i ampliada però, al cap i a la fi, amb tècnica planar.

Evidentment, els primers xips foren de *tecnologia bipolar*, on l'element actiu del circuit integrat era el transistor bipolar, inventat l'any 1947 per W. Shockley, J. Bardeen i W. H. Brattain en els Bell Telephone Laboratories. Aquells primers xips bipolars permeteren estendre a molts camps de l'electrònica el tractament digital de la informació, abans reservat únicament a la construcció dels ordinadors. Fou en aquells anys que sorgiren les famílies lògiques. La més popular de totes fou la TTL (Transistor-Transistor Logics, 1964). Aquestes famílies estaven constituïdes per un conjunt de circuits integrats amb xips

bipolars de complexitat baixa (SSI) i mitjana (MSI) que contenien com a màxim alguns milers de components.

A la meitat de la dècada dels 60 ocorregué un fet que tingué unes conseqüències decisives per al futur desenvolupament de la microelectrònica. L'any 1964 les companyes Fairchild i RCA comercialitzaren un nou transistor, anomenat MOST (*metal-oxide-semiconductor transistor*), descobert per Kahng i Atalla [14]. Amb el transistor MOS es podien dissenyar circuits electrònics equivalents funcionalment als dissenyats amb transistors bipolars encara que en aquell temps eren menys ràpids, però a la vegada consumien menys energia.

Alguns investigadors començaren a considerar el transistor MOS com un candidat a ésser l'element actiu d'un circuit integrat, per a substituir el transistor bipolar. La fabricació d'aquests xips de tecnologia MOS era completament compatible amb la "tècnica planar" utilitzada pels xips de tecnologia bipolar, encara que calgué perfeccionar alguns processos com l'oxidació tèrmica del silici a fi de disminuir i fixar les càrregues elèctriques en l'òxid de porta i a la interfície SiO_2 -Si. Ara bé, el transistor MOS és autoaïllat i no necessita els caixons d'aïllament del bipolar, cosa que redueix notablement la superfície que ocupa en el xip. Tot això feia que els xips de tecnologia MOS podien ésser més complexos, amb un consum d'energia menor, encara que més lents. Així ho veié un grup d'investigadors format per G. E. Moore, R. N. Noyce i A. S. Grove, que fundaren una nova companyia, INTEL, inicialment dedicada al desenvolupament de circuits integrats de tecnologia MOS. L'any 1970, INTEL presentà un xip que podia realitzar les funcions d'una memòria d'accés aleatori de tipus dinàmic (DRAM). La seva capacitat era de 1.024 bits (1 K) d'informació. La cel·la elemental de la memòria estava formada per tres transistors i la tecnologia d'integració era PMOS (tecnologia MOS on tots els transistors són de canal p) de porta de polisilici. Fou la primera memòria semiconductora, molt més ràpida i barata que les memòries de ferrites.

D'altra banda, F. Faggin, impulsat per E. Hoff, tots dos també investigadors d'INTEL, dissenyà i fabricà, l'any 1971, un xip que contenia tots els circuits que necessita la unitat central de processament (CPU) d'un ordinador. Havia nascut el 4004, el primer microprocessador de 4 bits amb 45 instruccions, fabricat amb tecnologia PMOS, amb porta de polisilici, en un xip de $3,6 \times 2,8$ mm que contenia 2.300 transistors. El microprocessador 4004 no era un ordinador complet, però n'era el cor. Si se li connectaven dos xips de memòria, un d'entrada/sortida i un altre per a generar els impulsos de rellotge, en total cinc xips, es convertia en un petit ordinador a un preu irrisori i capaç d'ésser produït en massa. La invenció del microprocessador fou revolucionària en el sentit que l'ordinador havia trobat en la microelectrònica la tecnologia adequada per a ésser produït en massa, de la mateixa manera que el llibre la va trobar amb la impremta en el segle XV o la ràdio amb els tubs de buit al principi d'aquest segle. El microprocessador féu esclatar la revolució de la informació en què actualment ens trobem submergits i sens dubte farà evolucionar la societat industrial, fruit de la revolució de l'energia del segle passat, cap a una societat postindustrial de trets encara borrosos.

Durant aquests primers anys de la dècada dels 70, la microelectrònica havia arribat a una tal maduresa tecnològica que ja tenia sentit preguntar-se seriosament quina seria la direcció de la seva evolució, i també quins serien els límits d'aquesta evolució. Ara passarem a analitzar aquests dos aspectes.

2. EVOLUCIÓ MICROELECTRÒNICA

Des de la invenció del microprocessador i de les memòries semiconductores, el processament digital de la informació s'estengué com una taca d'oli. S'incorporà a la majoria dels equips electrònics i els donà un grau d'intel·ligència i una flexibilitat de funcionament que mai no havien tingut. Des del primer moment, les memòries i el microprocessador es convertiren, i encara avui dia ho són, en els productes més rellevants de la microelectrònica, tant per les seves implicacions econòmiques com per les aplicacions tan extenses i importants que tenen. Per això, quan es tracta de definir els paràmetres de l'evolució microelectrònica es fa bàsicament mirant aquests productes, ja que els resultats obtinguts poden ésser extrapolables majoritàriament al conjunt de la microelectrònica. En aquest sentit, els microprocessadors, i sobretot les memòries, actuen de "locomotores" dels avanços tecnològics que posteriorment s'aniran incorporant a la resta de productes.

Els criteris per a establir les qualitats d'un producte microelectrònic són: la potència lògica, la fiabilitat i el cost. L'evolució de la microelectrònica ha d'orientar-se cap a l'optimització dels paràmetres que caracteritzen aquests criteris. La potència lògica, PL, d'un producte microelectrònic, o precisant més, d'un xip digital, es defineix com la seva capacitat de tractament de la informació per unitat de temps, i ve donada pel producte del nombre de components del xip, N, per la freqüència màxima de funcionament, f:

$$PL = N \cdot f$$

N dona una mesura de la *complexitat* del xip, mentre que f dona la de la *rapidesa*. Tot seguit examinarem amb més detall tot el que fa referència a la complexitat.

Segons la complexitat, els xips s'han anomenat amb les sigles angleses que apareixen a la Taula 1. A la figura 1 podem veure l'evolució temporal de la

TAULA 1. Complexitat dels xips.

Xip	Nom	N	Any d'inici aprox.	Exemple típic
SSI	Escala petita d'integració	10^0-10^2	1959	Portes lògiques
MSI	Escala mitjana d'integració	10^2-10^3	1965	Registres, comptadors lògics
LSI	Escala gran d'integració	10^3-10^5	1968	DRAM 16 K, μ P 8086
VLSI	Escala molt gran d'integració	10^5-10^7	1978	DRAM 256 K, μ P 80386
ULSI	Escala ultra gran d'integració	10^7-10^9	1990	DRAM 16 M
GSI	Giga escala d'integració	$10^9-?$?	?

complexitat de les memòries i dels microprocessadors aquests darrers anys, Aproximadament fins a l'any 1970, el nombre de components per xip s'ha duplicat cada any, seguint l'anomenada "lleï de Moore" [19]. Des d'aquest any fins avui el creixement ha minvat a un ritme més moderat.

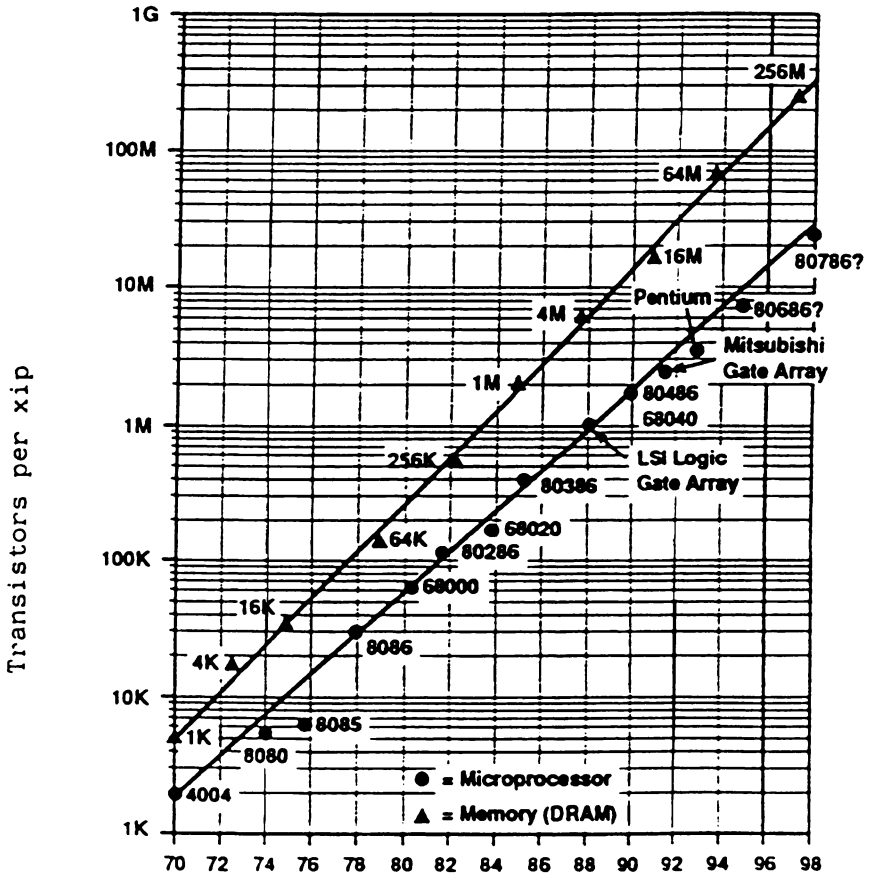


FIGURA 1. Evolució de la complexitat de les memòries i dels microprocessadors (font: INTEL/ICE).

Per a poder comprendre aquesta evolució tan extraordinària de la complexitat dels xips, cal estudiar els factors que determinen el nombre de components que pot encabir un xip. Un component integrat, amb aïllament i fabricat amb una tecnologia específica, ocupa una determinada superfície. Per tant, augmen-

tant la superfície total del xip, D^2 , s'incrementa el nombre de components, N . Aquest augment està limitat bàsicament per problemes de rendiments de producció. També es pot incrementar N , disminuint la superfície ocupada per un component, la qual està determinada per les seves dimensions característiques, per exemple, en un transistor MOS, per la llargada i l'amplada del canal de conducció. El valor mínim d'aquestes dimensions característiques ve fixat, alhora, per la resolució del procés fotolitogràfic caracteritzat pel paràmetre F , anomenat dimensió del tret mínim i definit com el valor mitjà entre l'amplada mínima de línia i l'espai mínim entre línies. Finalment, encara hi ha un altre factor que permet incrementar N , que és l'anomenat coeficient d'empaquetament, CE , definit com el nombre de components per àrea del tret mínim F^2 . Aquest coeficient ha anat augmentant en el decurs del temps gràcies a les innovacions introduïdes en els processos tecnològics, en els dispositius i en els circuits bàsics. El nombre de components per xip, N , pot expressar-se en termes d'aquestes tres variables:

$$N = D^2 \cdot F^{-2} \cdot CE$$

Des de l'any 1960, la superfície del xip D^2 ha anat augmentant a un ritme d'un 17,9% per any, mentre que la dimensió del tret mínim ha anat disminuint a un ritme de -12,2% per any. Aquest últim valor ha contribuït a l'augment d' N en un 23% per any. El coeficient d'empaquetament augmentà a un ritme d'un 30,6% per any en el decurs de la dècada dels 60, a causa de la introducció de millores molt substancials, ritme que ha davallat, però, a un valor d'un 2,6% per any, des de l'any 1970 fins avui.

Deixant de banda l'augment constant de la superfície del xip, el gran responsable de l'evolució creixent de la complexitat d'aquest ha estat la miniaturització progressiva de les dimensions dels components integrats. Ara bé, la manera física de dur a terme aquesta miniaturització fou establerta per R. H. Dennard l'any 1972 [8] amb la teoria de reducció de dimensions o teoria de l'escalat (*scaling down theory*). Aquesta teoria permet que en disminuir un factor $1/\alpha$ ($\alpha > 1$) les dimensions superficials d'un dispositiu optimitzat, aquest conservi les mateixes característiques només afectades d'un factor d'escala. En la teoria de l'escalat a camp constant, totes les dimensions i els potencials disminueixen en un factor α i les concentracions d'impureses s'incrementen en el mateix factor. En la teoria generalitzada, els potencials s'escalen en un factor ϵ/α ($\epsilon > 1$) i les concentracions d'impureses en un factor $\epsilon\alpha$.

La teoria de l'escalat ha servit de guia per a la miniaturització dels dispositius a partir dels anys 70. Les previsions més notables d'aquesta teoria són que mentre la superfície dels dispositius i de les interconnexions es redueix en un factor α^2 i, per tant, la densitat d'integració, N , augmenta en aquest mateix factor, la intensitat del camp elèctric a l'interior dels dispositius i la densitat de potència no canvien i el retard de porta disminueix en un factor α . Aquesta última és una conseqüència notable, ja que com més petits són els dispositius més ràpids

esdevenen. La miniaturització augmenta la complexitat i la rapidesa dels xips i, per tant, la potència lògica per partida doble.

Les previsions de la teoria de reducció de dimensions es pogueren dur a la pràctica gràcies a millores en el processos tecnològics de fabricació dels xips introduïdes en el decurs dels anys 70. Per exemple, la fotolitografia de contacte utilitzada als anys 60 fou abandonada ràpidament a causa de la gran quantitat de defectes que provocava en la màscara. La fotolitografia de proximitat (separació de 10 μm entre l'oblia i la màscara) solucionava aquest problema però tenia un contrast més baix i una distorsió a causa dels efectes de difracció. A la meitat dels anys 70 s'introduí el sistema *Microalining* de projecció [12]. Cap al final de la dècada, aquest sistema era capaç d'operar amb motius mínims de 2 μm sobre oblies de 10 cm de diàmetre i amb una productivitat de 40 oblies/hora. Les resines utilitzades en fotolitografia (per $\lambda = 200\text{-}400\text{ nm}$) anaren millorant la sensibilitat, la resolució, l'adhesió, l'estabilitat a la temperatura i la resistència en els processos de gravat. També durant aquests anys, el gravat de les diferents capes per mètodes químics (gravat humit) es va anar substituint per un gravat assistit per plasma obtingut per descàrrega gasosa a baixa pressió (gravat sec) [22].

El coneixement més profund dels estats superficials a la interfície Si-SiO₂, dels *traps* i dels ions mòbils en el volum de l'SiO₂, ajudà a aconseguir-ne l'estabilització i la progressiva disminució des de 10¹³ cm⁻² a 10⁹ cm⁻². Això fou possible amb la utilització d'HCl, TCE o TCA per fixar els ions Na.

La utilització efectiva de silici policristal·lí (*poly*) com a material de porta, dipositat per CVD [15] permeté la fabricació de transistors autoalineats amb la reducció conseqüent de capacitats paràsites i l'augment de la velocitat de resposta. També féu possible una nova via d'interconnexió.

El control de la tensió de llindar, primerament mitjançant l'efecte *body* [11] i després amb la utilització de la implantació iònica, fou un pas molt important ja que donà un nou grau de llibertat per a optimitzar els transistors. Aquest control féu possible el pas d'una tecnologia PMOS a una NMOS més ràpida, i també permeté l'obtenció de transistors d'enriquiment i de depleció, la qual cosa donà més flexibilitat al disseny de circuits.

La utilització de N₄Si₃ com a màscara en l'oxidació del silici permeté que creixessin òxids de silici de camp semienterrats (procés LOCOS) [1]. Això féu possible reduir l'espai entre transistors i augmentar la densitat d'integració.

Finalment, farem esment de la progressiva utilització de sales blanques per a desenvolupar els processos de producció de xips, del tot indispensables per a mantenir uns rendiments de producció raonables davant la progresiva disminució dels motius fotolitogràfics i l'augment de la mida del xip.

La importància del progrés de la microelectrònica en el decurs de la dècada dels 70 es posa de manifest quan es recorda que s'inicià amb el microprocessador 4004 de 4 bits, fabricat en un xip de 10 mm² que contenia 2.300 transistors, i amb la memòria DRAM d'1 K amb una cel·la de tres transistors, tots ells fabricats amb una tecnologia PMOS de 10 μm i complexitat de 5-7 màscares. Acabà amb el

microprocessador 8086 de 16 bits, fabricat en un xip de 33 mm² que contenia 29.000 transistors i la memòria DRAM de 64 K amb una cel·la d'un transistor, tots dos fabricats amb tecnologia NMOS de 3 µm i complexitat de 8-10 màscares.

3. LES LIMITACIONS

L'èxit de la miniaturització dels dispositius per a augmentar la complexitat i la rapidesa dels xips en el decurs de la dècada dels 70 començà a trobar limitacions a la dècada dels 80, quan la tecnologia permeté dimensions inferiors a 2 µm per al tret mínim litogràfic.

La primera limitació fou de tipus tèrmic. La teoria de reducció de dimensions a cap constant no preveia cap augment de la densitat de potència a mesura que anaven disminuint les dimensions dels dispositius, sempre que s'anés reduït el valor de tots els potencials en el mateix factor d'escala, fins i tot la tensió d'alimentació. Així es pogué passar d'una tecnologia NMOS de 5 µm i una tensió d'alimentació de 12-15 V, a mitjan dels anys 70, a una tecnologia de 2 µm i a una tensió d'alimentació de 5 V al principi dels 80. Però els fabricants de xips eren molt reticents a disminuir el valor de 5 V que havia esdevingut *de facto* l'estàndard de la tensió d'alimentació dels circuits digitals. En anar disminuint les dimensions sense disminuir la tensió d'alimentació, la densitat de potència del xip va anar augmentant. Tot seguit analitzarem les conseqüències d'aquest fet.

3.1. POTÈNCIA I RAPIDESA

El funcionament d'un xip comporta el consum de potència elèctrica, subministrada per la font d'alimentació, que es transforma en una generació de calor per efecte Joule a l'interior del xip. Aquesta generació de calor, juntament amb el mecanisme que en permet l'evacuació, determinen la temperatura interna del xip, o sigui, la temperatura de treball dels dispositius integrats. Aquesta temperatura té uns límits absoluts, ultrapassats els quals els dispositius deixen de funcionar, però també existeix una temperatura màxima de funcionament continuat determinada per qüestions de fiabilitat que podem fixar en 150°C.

Per a encapsulaments del tipus DIP ceràmic o plàstic, la densitat de potència màxima per a mantenir aquesta temperatura interna màxima de 150°C amb una temperatura de l'aire fins a 70 °C no pot superar 1 o 1,5 W/cm². S'arribà a aquest valor de la densitat de potència en els xips fabricats amb tecnologia NMOS, al principi dels anys 80, a causa, com hem dit, de la miniaturització dels dispositius i del manteniment de la tensió d'alimentació de 5 V. Superat aquest límit tèrmic, la fiabilitat del xip decreix ràpidament.

En les tecnologies MOS, un bit d'informació està materialitzat per un paquet de càrregues elèctriques emmagatzamades en una capacitat C. L'opera-

ció lògica elemental de canviar el valor del bit de "0" a "1" o viceversa (inversió) posa en joc una energia $C\Delta V^2$, on ΔV és l'excursió lògica, normalment molt a prop del valor de la tensió d'alimentació V_{DD} . Si aquest canvi es fa a un ritme de freqüència f (freqüència de rellotge), la potència associada serà $C V_{DD}^2 f$. A aquesta potència, anomenada potència dinàmica per cicle d'operació, proporcional a la freqüència de rellotge f , cal afegir-hi, per a algunes tecnologies com la PMOS i la NMOS, una potència estàtica independent de f i proporcional a V_{DD}^2 [27]. Aquesta potència estàtica no és essencial des d'un punt de vista estrictament lògic i el seu valor depèn de l'estructura elèctrica de les portes.

A la meitat de la dècada dels 80, la potència estàtica de la tecnologia NMOS era la principal responsable que els xips arribessin al límit tèrmic. S'intentà disminuir-la amb noves estructures elèctriques de les portes, introduint més varietats de transistors, fet que comportava una complexitat tecnològica més elevada. Aquesta complexitat arribà a un punt que era comparable a la que necessitava la tecnologia CMOS. Aquesta tecnologia, amb la utilització de transistors de canal n i canal p alhora, no dissipa potència estàtica i, per tant, permet allunyar-se del límit tèrmic a canvi, tal com hem dit, d'una complexitat tecnològica major. Per exemple, el microprocessador 8086 fabricat amb tecnologia NMOS consumeix 300 mA, i fabricat amb CMOS només 50 mA.

En el decurs dels anys 80, la tecnologia CMOS s'ha anat imposant com la tecnologia més adequada a múltiples aplicacions i, sens dubte, ha fet possible que no s'hagi deturat la complexitat progressiva dels xips. Ha estat la tecnologia dominant al final dels anys 80 i probablement ho continuï essent els anys 90 (Taula 2).

TAULA 2. Evolució de les tecnologies MOS.

	1982	1987	1989	1992	1997 ?
PMOS	4%	< 1%	/	/	/
NMOS	74%	39%	19%	5%	< 1%
CMOS	22%	60%	80%	93%	93%
BiCMOS	/	< 1%	< 1%	2%	7%

Per a analitzar de manera general la relació entre potència elèctrica i rapidesa d'un xip, hem de considerar que per a dur a terme una operació lògica elemental (p. ex. una inversió) es necessita una certa energia PPT. La densitat de potència mitjana DP dissipada pel xip serà proporcional a:

$$DP \sim \frac{N \cdot PPT \cdot f}{D^2}$$

on hem associat un dispositiu a cada bit. Podem expressar la potència lògica com

$$PL \sim \frac{DP \cdot D^2}{PPT}$$

Aquesta expressió mostra que la potència lògica, PL, és proporcional a la densitat de potència, DP, a la superfície del xip, D^2 , i inversament proporcional a l'energia per bit, PPT. L'energia per bit, PPT, s'expressa habitualment com el producte de la potència dissipada per bit pel retard temporal introduït per la porta, i s'anomena producte potència-temps de retard.

Hem vist que la densitat de potència està limitada per raons tèrmiques relacionades amb l'encapsulament i amb la fiabilitat. La superfície del xip està limitada per raons de rendiments de producció. Davant aquests límits, per a augmentar la potència lògica cal disminuir al màxim possible el factor PPT. El factor PPT és característic d'una tecnologia determinada i es pren, moltes vegades, com a figura de mèrit d'aquesta tecnologia. Actualment, la tecnologia CMOS ha arribat a un PPT d'alguns femtojoules. Considerant el límit tèrmic per la densitat de potència i les dimensions actuals dels xips, obtenim una potència lògica de l'ordre d'uns 10^{15} components per hertz. Per exemple, 33 milions de components funcionant a 33 MHz.

A part del límit tèrmic que acabem de descriure, podem trobar molts altres tipus de limitacions a la progressiva miniaturització del dispositius integrats que incideixen a diferents nivells. Per això és habitual classificar-los jeràrquicament en límits fonamentals, dels materials, dels dispositius, dels circuits i dels sistemes [18].

3.2. LÍMITS FONAMENTALS

Els límits fonamentals són causats per lleis físiques bàsiques i es comporten com a veritables límits absoluts, però abans de veure aquests tipus de límits cal comentar una qüestió prèvia que encara avui és tema de discussió. És necessària una energia mínima per a fer un procés elemental de còmput? El funcionament de les portes lògiques és irreversible, hi ha una destrucció d'informació en el procés de còmput i per tant han de dissipar energia. S'han descrit, en un àmbit molt teòric, portes reversibles, màquines de Turing també reversibles, etc. [2], però no és segur que realment puguin funcionar. Si acceptem que en la realització física cal un mínim d'energia PPT, per a fer un procés de còmput en un temps

τ , el principi d'incertesa de Heisenberg imposa un mínim a la potència P d'aquest procés:

$$P \geq \frac{h}{2 \pi \tau^2}$$

on h és la constant de Planck.

Les fluctuacions tèrmiques determinen, també, un límit a l'energia mínima necessària per a commutar la variable elèctrica en un nus d'un sistema digital des de l'estat "0" a l'"1" o viceversa:

$$P \geq \frac{n k T}{\tau}$$

on k és la constant de Boltzmann i T la temperatura absoluta. Valors de n grans augmenten el temps mitjà entre fallences de l'operació de commutació. Un valor $n = 4$ es el mínim acceptable.

Finalment, la teoria electromagnètica limita la velocitat de propagació, en una línia d'interconnexió a la velocitat de la llum, c .

3.3. LÍMITS DELS MATERIALS

Els límits que imposen els materials a la miniaturització depenen de la composició química i de l'estructura física d'aquests i se'n poden definir molts. Els més interessants per als semiconductors constituents dels dispositius integrats són el límit del temps de trànsit per unitat de tensió, V , definit com a temps t_T que necessiten els portadors per a viatjar a la velocitat de saturació v_s en presència del valor del camp elèctric crític ϵ_c :

$$t_T / V = 1 / v_s \epsilon_c$$

Un altre límit interessant és el temps mínim de commutació t_s per unitat de potència P , limitada per la resistència tèrmica distribuïda i la diferència de temperatura T entre el volum i la superfície del material.

$$t_s / P = 1 / \pi K v_s \Delta T$$

on K és la conductivitat tèrmica del material.

A la Taula 3 podem veure les propietats més significatives per a comparar el silici i l'arseniür de gal·li, dos dels materials que donen lloc a dues tecnologies diferents de fabricació de xips.

TAULA 3. Propietats del Si i de l'AsGa a 300 K.

Propietat	Si	AsGa
Mobilitat ($\text{cm}^2/\text{V}\cdot\text{s}$)		
electrons	1.500	8.500
forats	450	400
electrons (77 K)	20.000	100.000
Velocitat de saturació dels electrons (cm/s)		
pic	1×10^7	2×10^7
Saturació	1×10^7	$0,6 \times 10^7$
Conductivitat tèrmica ($\text{W/cm}\cdot\text{K}$)	1,5	0,46
Temps de trànsit electrònic (ps/V)	0,33	0,125
Temps de commutació limitat tèrmicament (ps/mW)	0,21	0,23

L'AsGa ofereix un avantatge substancial de quasi sis vegades en la mobilitat dels electrons (no en la dels forats) però la seva velocitat de saturació només és dues vegades la del Si. Aquests valors són els que sorgeixen normalment a l'eterna polèmica sobre els avantatges del Si i de l'AsGa. Però si observem el temps de commutació limitat tèrmicament, l'AsGa deixa de tenir els avantatges que li dona la mobilitat i la velocitat de saturació, ja que el Si pot tolerar un valor superior de potència dissipada, ja que té una conductivitat tèrmica tres vegades superior.

3.4. LÍMITS DELS DISPOSITIUS I DELS CIRCUITS

Els límits de funcionament d'un dispositiu miniaturitzat poden ésser causats tant per les limitacions que imposen les propietats dels materials com per la seva configuració geomètrica, que en determina els mecanismes físics del funcionament. Així mateix, quan s'interconnecten un cert nombre de dispositius formant un circuit que realitza una funció electrònica, apareixen noves limitacions que, normalment, són les més severes i imposen, en darrera instància, les característiques del circuit integrat imputables a una determinada tecnologia.

Al paràgraf anterior ja hem vist un límit d'aquest tipus: el límit tèrmic produït pel no escalat de la tensió d'alimentació, superat mitjançant la tecnologia CMOS. Les conseqüències del manteniment de la tensió d'alimentació a un valor de 5 V no són tan sols de tipus tèrmic.

Per tal de mantenir les característiques dels dispositius miniaturitzats hem d'aplicar la teoria generalitzada de reducció de dimensions que preveu una disminució de les dimensions geomètriques segons un factor $1/\alpha$, però una reducció menor de les tensions segons un factor ϵ/α . Aquest fet comporta un

augment de la intensitat del camp elèctric en un factor ϵ . Per exemple, en passar d'una tecnologia NMOS de $2 \mu\text{m}$ a una tecnologia CMOS d' $1 \mu\text{m}$, totes dues alimentades a 5 V, la intensitat del camp elèctric en els dispositius es duplicà ($\epsilon = 2$). Aquest fet provocà nous efectes que haurien pogut limitar la seva miniaturització progressiva. Els més importants són la creació de portadors energètics (*hot electrons*) per ionització d'impacte en la superfície de la unió drenador-substrat sota la porta. Aquests portadors poder ésser injectats i atrapat en l'òxid de porta i provocar inestabilitat en la tensió de llindar i degradació en la transconductància del dispositiu, i, per tant, una disminució de la fiabilitat del circuit a valors inacceptables. També provoca un corrent de substrat que pot accelerar el *latch-up*. Aquest greu efecte, més agut en els transistors de canal n que en els de canal p, ha pogut ésser atenuat gràcies a la utilització de drenadors més complexos que tendeixen a reduir el camp elèctric i a disminuir el dopatge a la frontera amb el canal. Aquests drenadors es poden obtenir per doble difusió (DDD, *Double Diffusion Drain*), solució vàlida fins a $1,25 \mu\text{m}$, o mitjançant la utilització de separadors d'òxid a les parets de la porta de polisilici i doble implantació iònica (LDD, *Light Doped Drain*), solució utilitzada per tecnologies micròniques i submicròniques [5]. Malauradament, tots aquests tipus de solucions al problema dels portadors energètics provoquen un augment de la resistència paràsita drenador-font.

D'altra banda, el camp elèctric en el canal pot arribar al valor crític (2×10^4 V/cm per als electrons i 1×10^5 V/cm per als forats) i els portadors poden moure's a la velocitat de saturació (10^7 cm/s). En aquest cas, el retard intrínsec de porta només disminueix en un factor α , en comptes d'un factor $\epsilon\alpha$. Aquest fet s'agreuja amb l'augment de les capacitats de les unions del dispositiu causades per l'augment dels dopatges que demana la teoria de reducció de dimensions. Aquestes capacitats poden representar un factor gens menyspreable en el valor efectiu del retard de porta.

A part d'aquests dos efectes provocats per l'augment progressiu del camp elèctric i que actuen en el dispositiu intrínsec, la reducció de dimensions també actua sobre els contactes i les interconnexions, de manera que en aquest nivell es produeixen limitacions importants que afecten notablement la rapidesa i la fiabilitat del circuit.

És convenient dividir les interconnexions en dos tipus: interconnexions locals que s'estenen des d'un dispositiu al seu veí més proper, i interconnexions de llarga distància que es poden estendre de punta a punta del xip.

La teoria generalitzada de reducció de dimensions prediu un augment de la resistència d'interconnexió per unitat de longitud d'un factor α i, per tant, la resistència de contacte metall-silici es multiplica per un factor α^2 . Aquest fet dóna lloc a un augment de la importància relativa de les resistències de contacte del drenador i de la font en front de la resistència de canal i degrada la transconductància del dispositiu.

D'altra banda, la constant de temps RC d'una línia d'interconnexió resta invariable en el procés de miniaturització de les dimensions i, com a conseqüèn-

cia, va adquirint una importància creixent en la determinació del temps de retard del circuit, de manera que acaba essent, de llarg, l'element dominant. Per exemple, el temps de retard intrínsec d'un dispositiu d'1 μm de longitud de canal funcionant a règim de saturació de portadors és de 10 ps, mentre que el retard produït per una línia de *poly* que travessa en diagonal un xip de 7 x 7 mm² pot ésser d'1,4 μs .

Finalment, recordem que la densitat de corrent a les línies d'interconnexió augmenta en un factor α i pot arribar a un valor en el qual tingui lloc el fenomen de l'electromigració, arrossegament dels àtoms del material produït pel flux d'electrons, fins a arribar a provocar la ruptura de la línia d'interconnexió. En l'alumini apareix per a densitats de corrent de 10⁵ A/cm².

Amb tecnologies de fins a 2 μm , l'alumini és el material utilitzat per a realitzar els contactes de drenador, font i porta, i com a element principal d'interconnexió, ajudat per les difusions p⁺/n⁺ i pel *poly* (amb resistències per quadrat més altes) per a les interconnexions locals.

Per a tecnologies inferiors a 2 μm es començaren a notar les dificultats damunt dites. Per a solucionar-les s'ha utilitzat alumini barrejat amb un 1% de silici. Aquesta solució és adequada fins a tecnologies d'1 μm . Per a tecnologies submicròniques s'ha de substituir l'alumini per metalls refractaris (Ti, Mo, W) o bé silicurs de metall quasi-nobles (Pt, Pd, Ni) juntament amb barreres de difusió de borurs, carburs o nitrurs de metalls que impedeixen la interdifusió de dos materials en contacte. Una combinació molt utilitzada per als contactes de drenador i font és TiSi₂/TiN.

El problema que sorgeix en les interconnexions locals és l'alta resistència per quadre de les difusions n⁺ (5-50 Ω/\square), p⁺ (50-200 Ω/\square) i el *poly* (~20 Ω/\square). Una tècnica per a disminuir aquests valors és recobrir totes les zones de drenador, font i *poly* amb una capa de silicur que, d'altra banda, ja calia per a fer contactes de qualitat. Aquestes capes de silicur damunt les zones n⁺ i p⁺ es dipositen de manera autoalineada (*Self-Aligned Silicide*) i s'anomenen capes de *silicur*, mentre que la capa formada pel *poly* i el silicur s'anomena *polycur*. Totes elles tenen una resistència inferior a 5 Ω/\square .

A les interconnexions a llarga distància el material utilitzat és l'alumini, ja que, entre altres avantatges, està caracteritzat per una bona adherència al SiO₂ i una baixa resistivitat $\rho = 2,6 \mu\Omega \times \text{cm}$. Malgrat aquesta baixa resistivitat, hem de considerar que en aquests tipus d'interconnexions, la secció dels conductors disminueix en un factor $1/\alpha^2$, mentre que la longitud no tan sols no disminueix sinó que augmenta en un factor α ($\alpha > 1$), que té en compte l'augment progressiu de les dimensions del xip. Aquest fet comporta que la constant de temps de la línia augmenti en un factor $\alpha^2\alpha^2$, cosa que limita dràsticament la rapidesa del circuit.

Per a solucionar aquest problema s'utilitzen interconnexions múltiples d'alumini, separades per capes d'òxid de silici dipositat a baixa temperatura. Aquests diferents nivells d'interconnexió, anomenats Metall 1, Metall 2, etc., permeten una reducció de les dimensions del xip d'una complexitat determinada, segons la regla empírica de Rent [3]:

$$A = \{ (PG^a) / n \}^2$$

on A és l'àrea del xip, P la suma de l'amplada i la distància mínimes de les línies d'interconnexió (*pitch*), G el nombre de portes lògiques, n el nombre de nivells d'interconnexió i a un coeficient que té un valor entre 0,6 i 0,2 segons la densitat d'integració del xip. Els nivells superiors són utilitzats pel *bus* d'alimentació i de massa i normalment són d'amplada i gruix superiors a les línies de connexió local.

Malgrat totes aquestes millores tecnològiques, les interconnexions continuen essent un problema de primera magnitud en els xips complexos i són l'element principal determinant la rapidesa global del xip.

Tots aquests canvis que acabem d'esmentar en els dispositius i els circuits han permès mantenir la tensió d'alimentació de 5 V fins a tecnologies CMOS de 0,8-0,7 μm . Productes típics d'aquests darrers anys són les memòries d'1 Mb fabricades amb tecnologia CMOS d'1-1,2 μm i les memòries de 4 Mb fabricades amb tecnologia CMOS de 0,7-0,8 μm i amb una cel·la de memòria tridimensional que ha permès reduir-ne dràsticament la superfície [23, 25]. Actualment les cel·les d'emmagatzemament dinàmiques tenen una capacitat d'uns 30 fF, que a 5 V només representa un milió d'electrons. Aquest és un límit que no convé disminuir, ja que la càrrega crítica o el soroll s'avalua en uns 200.000 electrons.

Per a tecnologies inferiors a 0,8-0,7 μm no és possible mantenir la tensió d'alimentació a 5 V, ja que la intensitat del camp elèctric creixeria a valors massa alts, fins i tot amb els perfeccionaments dels dispositius i dels circuits esmentats. Un exemple il·lustratiu en són els prototipus de memòries de 16 Mb presentades l'any 1989, fabricades amb tecnologia CMOS de 0,6-0,5 μm , i que, encara que externament poden ser alimentades a 5 V, internament totes treballen amb tensions d'alimentació de 3,3-4 V.

Malgrat que amb la disminució de la tensió d'alimentació s'eludeixen els problemes derivats de l'augment de la intensitat del camp elèctric, aquesta mateixa disminució provoca l'aparició de noves dificultats, sobretot en els circuits, per a tecnologies inferiors a 0,7 μm .

Aquestes dificultats provenen de l'existència del corrent de subllindar que circula entre drenador i font per a tensions de porta inferiors a la tensió de llindar. Aquest corrent, que idealment hauria d'ésser zero, té dos components: el corrent de subllindar de canal, que disminueix en un factor de 10 per a una disminució d'uns 100-80 mV de la tensió de porta, i el corrent de subllindar produït pel fenomen de perforació (*punchthrough*), causat per una disminució de la barrera de potencial entre les zones laterals de càrrega d'espai del drenador i la font. Aquest últim component pot esdevenir pràcticament independent de la tensió de porta i d'un valor tan gran que faci el circuit inoperant. Una manera d'evitar aquest fenomen és augmentar localment el dopatge amb una implantació iònica adequada [21].

El component de corrent de subllindar de canal té unes arrels físiques profundes (dispersió dels portadors amb l'energia) i difícilment pot evitar-se. A

més, la variació amb la tensió de porta és invariant davant la reducció de dimensions. Aquest fet comporta les conseqüències següents: perquè un circuit digital tingui unes característiques elèctriques (immunitat al soroll, temps de retard, etc.) òptimes, la tensió de llindar dels transistors ha d'ajustar-se a un valor al voltant d'un cinquè de la tensió d'alimentació. Així, per a tecnologies alimentades a 5 V, la tensió de llindar s'ajusta al voltant d'1 volt. En l'estat lògic "0", corresponent a una tensió de porta $V_G = 0$, el corrent de drenador serà uns 10 ordres de magnitud inferior al corrent corresponent a una tensió $V_G = V_T$. La diferenciació en corrent entre l'estat "1" i el "0" és l'adequada. Si es disminueix la tensió d'alimentació, per exemple, a 1 V, la tensió de llindar ha d'ajustar-se a 0,2 V. En aquest cas, en l'estat lògic "0" ($V_G = 0$) el corrent de drenador només haurà disminuït dos ordres de magnitud respecte a una tensió $V_G = V_T$ i tindrà un valor de l'ordre d'1 nA. Aquesta diferenciació tan petita entre estats i aquest valor tan alt de corrent de fuga fan inacceptable el funcionament del circuit.

El corrent de subllindar imposa, doncs, un límit inferior a la tensió d'alimentació avaluat en 1,5 V [10], lluny del límit tèrmic, que a 300 K seria aproximadament de 0,1 V [26]. Els milloraments en el dispositiu i en el circuit que hem descrit al principi d'aquest paràgraf poden arribar a permetre un increment de la intensitat del camp elèctric intern del dispositiu d'un factor de 3 ($\epsilon = 3$) respecte a una tecnologia d'1 μm i alimentada a 5 V. Això ens porta, mitjançant una tensió d'alimentació d'1,5 V, a una tecnologia de 0,1 μm .

Per a nivells més grans de miniaturització, a més dels problemes derivats del corrent de subllindar, poden sorgir noves limitacions causades per l'aparició de corrent túnel en l'òxid de porta, fluctuacions en la tensió de llindar causades per la distribució aleatòria de les impureses, etc.

De les consideracions anteriors, podem aventurar que el límit de la tecnologia CMOS el trobarem per a una longitud del tret mínim de 0,1 μm i una tensió d'alimentació d'1,5 V. Probablement, amb una tecnologia d'aquest tipus s'hi fabricaran les memòries d'1 Gb els primers anys del segle vinent.

En establir el límit anterior hem suposat implícitament que la temperatura de treball dels dispositius era la de l'ambient. Avui es comencen a estudiar tecnologies CMOS de baixa temperatura, on la temperatura de treball és la del nitrogen líquid (-196°C). Els avantatges de treballar a baixa temperatura són remarcables: el corrent de subllindar disminueix un ordre de magnitud per una disminució de la tensió de porta de 0,5 mV, la velocitat de saturació dels portadors es multiplica per 2, la resistivitat dels metalls d'interconnexió disminueix en un factor entre 5 i 10, etc. En aquest sentit, investigadors d'IBM han construït uns transistors MOS experimentals que funcionen a -196°C i que, amb una longitud de canal efectiva de 0,07 μm i una tensió d'alimentació de 0,8 V, presentaven un retard de 13 ps [24].

Si les dificultats econòmiques que representa el refredament dels circuits poden ésser superades, les tecnologies CMOS a baixa temperatura podrien esdevenir una promesa de cara al futur. A la figura 2 s'hi ha representat en el pla potència-temps un resum de les limitacions que hem vist fins ara.

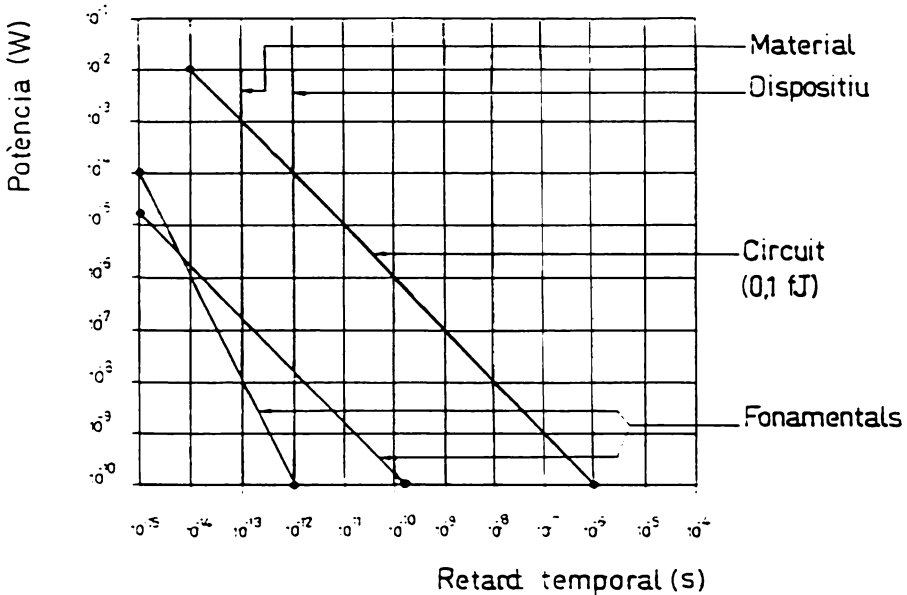


FIGURA 2. Límits referits al silici i a la tecnologia CMOS.

3.5. LÍMITS TECNOLÒGICS

Les previsions esmentades en el paràgraf anterior sobre les possibilitats de la tecnologia CMOS són fetes des del punt de vista de l'enginyeria de dispositiu i de circuit, però perquè esdevinguin una realitat, els processos tecnològics, i d'una manera més general l'entorn de fabricació dels xips, han d'evolucionar i han d'anar superant les pròpies limitacions. L'evolució dels processos tecnològics ve marcada per la posada a punt de noves generacions d'equips que incorporen les millores d'un determinat procés tecnològic i que permeten alhora una capacitat (*throughput*) i un rendiment (*yield*) de producció que són acceptables pels condicionaments econòmics.

L'evolució dels processos s'encamina, en general, a la reducció de l'estrès tèrmic de l'oblia. Així, els processos que de cara al futur tindran una importància decisiva seran [6] els següents:

la implantació iònica, atesa la seva precisió i atès que els processos de recuita (*annealing*) s'hi poden fer amb un estrès tèrmic molt més reduït que en altres processos de dopatge, utilitzant, per exemple, l'RTA (*rapid thermal annealing*);

la deposició química en fase de vapor (CVD), que continuarà adquirint una importància creixent com el principal procés de deposició de capes, amb tècni-

ques que aniran evolucionant cap a la CVD a baixa pressió, la CVD assistida per plasma o làser, CVD organometàl·lica, etc.;

el gravat, que serà pràcticament tot de tipus sec, i utilitzarà dues tècniques principals: gravat iònic (gravat per *sputter*, *ion milling*) i gravat reactiu (gravat per plasma, gravat iònic reactiu, gravat per feix iònic reactiu), amb sistemes de radiofreqüència adequats a les tècniques de plasma de microones per a reduir el dany produït per la radiació.

A part d'aquests processos, la litografia és el procés cabdal de la tecnologia microelectrònica i és el que marca el límit tecnològic a la miniaturització progressiva dels dispositius.

Els principals processos de litografia amb un futur clar són la litografia òptica amb la utilització de "steppers", que essencialment són càmeres que projecten sobre l'òblia recoberta de resina la imatge d'un reticle (màscara) ampliat x5 o x10 amb la topologia d'una capa del xip. El desplaçament de l'òblia mitjançant salts permet realitzar l'exposició de tots els xips. La utilització de lents de molt alta qualitat, longituds d'ona cada vegada més petites per a exposar les resines de gran resolució, el posicionament de l'òblia per interferometria làser, etc. poden fer útils els "steppers" fins a tecnologies de 0,35 μm .

Per a tecnologies més reduïdes s'haurà d'emprar la litografia per raigs X amb radiació obtinguda per plasmes excitats per làser o mitjançant radiació sincrotrònica. La litografia per feix d'electrons queda reservada únicament a l'obtenció de reticles, ja que el procés d'escriptura directe sobre l'òblia és massa lent.

Finalment, també s'ha d'esmentar que per a dur a terme la producció en massa de xips amb tecnologies submicròniques cal millorar l'entorn de fabricació per a aconseguir rendiments de producció acceptables econòmicament, augmentar progressivament el diàmetre de les òblies (de 15 cm a 20 cm i fins i tot a 25 cm) i utilitzar encapsulaments amb més *pins*, amb més possibilitats de dissipar potència i adequats a circuits molt ràpids. També es necessiten sales blanques de classe 1 (menys d'una partícula superior a 0,02 μm per peu cúbic d'aire) equipades de robots per a reduir la contaminació humana i poder arribar a una densitat de defectes sobre l'òblia de 0,3 cm^{-2} [4].

Així, les limitacions de tipus tecnològic no sembla que puguin impedir, en un futur proper, la implantació de tecnologies CMOS fins al límit de 0,1 μm .

4. DISSENY MICROELECTRÒNIC

Un circuit integrat realitza una funció electrònica determinada interconnectant d'una manera específica elements integrats, fonamentalment transistors de característiques adequades.

Les característiques dels transistors estan determinades per la tecnologia de fabricació del circuit integrat, o sigui, pel semiconductor de base, pels dopatges,

pels diferents tipus de materials i per la distribució d'aquests en capes, etc., la qual cosa en certa manera queda fixada per la topologia "vertical" del xip, que pot visualitzar-se mitjançant un tall en secció. Així es determinen el tipus de transistors, les tensions màximes i de treball i també el corrent, el guany, les capacitats, etc., totes elles per unitat de superfície. Per tant, el corrent, el guany, les capacitats, etc., totals de cada transistor, queden fixades per la mida superficial, o sigui, per la topologia "horitzontal" del xip, que es pot visualitzar mitjançant l'observació a "vista d'ocell". Així mateix, les interconnexions entre els diferents transistors queden fixades per la topologia "horitzontal" de les capes d'interconnexió.

La fotolitografia és el procés que determina la topologia de les diferents capes per mitjà de les màscares. Per tant, el disseny del conjunt de màscares fotolitogràfiques dins una tecnologia determina les interconnexions i les característiques que són funció de l'àrea superficial de tots els transistors del xip. Donada una funció electrònica determinada i fixada una tecnologia, el dissenyador microelectrònic ha d'establir la geometria de les diferents màscares que necessita aquella tecnologia per a fabricar els xips.

Els primers dissenys de xips de baixa complexitat es feien simplement amb el traspass de l'experiència en el disseny de circuits discrets al disseny del xip i tot amb uns mètodes pràcticament artesanals. De mica en mica, els dissenyadors veieren que el disseny amb elements integrats no era una simple còpia del disseny amb elements discrets i anaven adquirint experiència de les peculiaritats pròpies del disseny integrat. Així naixeren les primeres famílies lògiques integrades, el primers amplificadors operacionals monolítics, etc.

A mesura que la complexitat dels circuits integrats augmentava, el disseny s'anà especialitzant en un microdisseny que optimitza els circuits bàsics que formen part del sistema, i un macrodisseny o disseny arquitectural que determina modularment l'arquitectura global del xip. Un dels exemples més notables del microdisseny fou el de la cel·la de memòria dinàmica d'un sol transistor realitzat per R. H. Dennard [7, 9] i utilitzada en memòries dinàmiques d'accés aleatori (DRAM). La primera DRAM que fou produïda amb aquest tipus de cel·la fou la 4K, l'any 1972. Con a anècdota podem dir que la cel·la 1T de Dennard és l'objecte fet per l'home més abundant que hi ha a la terra. Al final d'aquest segle se n'hauran fabricat 10^{20} unitats, equivalent a les neurones de 10^9 cervells. Exemples típics del macrodisseny d'aquests anys són els primers microprocessadors.

4.1. DISSENY ASSISTIT PER ORDINADOR

Els anys 70, el disseny microelectrònic estava enclaustrat a les companyies de semiconductors que l'utilitzaven per a desenvolupar els tipus de xips que podien tenir els mercats més amplis. Però l'any 1980 el disseny donà un gran tomb, impulsat per les idees de Conway i de Mead [17]. Aquests separaren el

disseny i la tecnologia. L'únic punt d'unió eren les anomenades "regles de disseny", vàlides per a una determinada tecnologia i afectades d'un factor d'escala.

Aquestes idees, juntament amb el desenvolupament de CAD específic per al disseny microelectrònic, que podia disposar d'editors gràfics, simuladors elèctrics i lògics, etc., tragueren el disseny dels claustrats de les companyies de semiconductors i el començaren a popularitzar. Aquest fet es troba a la base de la revolució que el disseny aportà els anys 80: els circuits integrats a mida o ASICs.

Els ASICs són circuits parcialment o totalment dissenyats per l'utilitzador i no pel fabricant de xips. Avui, els fabricants de xips només dissenyen els anomenats circuits integrats estàndard destinats a realitzar funcions electròniques molt generals i amb grans mercats mundials. En canvi, gràcies a la popularització del disseny i de les eines informàtiques que hi ha associades, l'utilitzador pot dissenyar els seus propis circuits integrats que dona a fabricar a empreses semiconductoras anomenades *foundries*.

El 1983 es comercialitzen les primeres eines d'ajut al disseny, la captura d'esquemes i la simulació lògica i elèctrica. Des de llavors s'han desenvolupat fortament diferents metodologies de concepció de CI, així com les eines de CAD que les suporten. Avui dia es pot disposar de paquets d'ajut al disseny molt sofisticats que permeten la concepció de circuits complexos (100.000 a 1.000.000 de portes) a velocitats entre 20 i 100 MHz amb molta garantia d'èxit.

Les eines de CAD es troben a tots i cadascun dels nivells de representació del CI o fins i tot del propi sistema electrònic. Per exemple en el nivell de la representació funcional hi trobem bàsicament llenguatges de descripció de *hardware* i d'algoritmes que calen per al *hardware*, simuladors de sistemes i verificadors sintàctics i semàntics per a assegurar descripcions funcionalment correctes i generadors de vectors de test. En el nivell estructural trobem captures d'esquemes, simuladors lògics i temporals i, com en el cas anterior, verificadors sintàctics i semàntics, biblioteques de cel·les i de macrocel·les i generadors de mòduls. Finalment, en el nivell físic, el més baix dels diferents nivells d'abstracció, els avenços potser són els més importants: verificadors de la connectivitat (CERC), simuladors elèctrics, editors gràfics de *layout*, verificadors de regles de disseny (DRC), simuladors de falles, programes d'emplaçament i extractors de paràmetres elèctrics connexionats, analitzadors de cobertura de falles, generadors de *layout*, i avaluadors de topologia.

Dins cada metodologia, totes aquestes eines han de funcionar coordinadament, normalment, a partir d'una base de dades única, on coexisteixen els diversos nivells de representació, des de la descripció en un llenguatge d'alt nivell fins a la descripció geomètrica de les màscares. Totes elles intenten reduir el temps necessari per a la concepció i el disseny del xip, ja que caldrien 6.000 homes/any per a realitzar el disseny d'un processador de 10^7 transistors amb les eines dels anys 80. També asseguren l'absència d'errors, per a evitar temps i costos de redisseny i assegurar la fiabilitat dels CI ja fabricats.

4.2. TEST

L'evolució del procés tecnològic d'una banda, i de les possibilitats de disseny de l'altra, han portat a aconseguir circuits cada vegada més complexos, però amb una aparença externa que no ha variat gaire. La mida externa dels circuits i el nombre de les entrades/sortides només ha augmentat com a màxim en un factor de 10, fet que fa, en definitiva, que el test dels circuits esdevingui cada cop més complex.

Distingirem dos tipus de test: el relacionat amb la posada a punt i amb la industrialització del xip, i el relacionat amb la utilització del xip. En el primer tipus de test, hem d'aconseguir un conjunt de seqüències d'entrada capaces, d'una banda, d'assegurar que s'acompleixen les especificacions funcionals que hem proposat al començament de la fase de concepció i, en segon lloc, que a través d'aquests mateixos vectors es pugui comprovar que tots i cada un dels seus components funciona com estava previst.

Pel que fa al test d'utilització, cal assegurar el bon funcionament del circuit en un tant per cent molt elevat i amb un temps raonable. És obvi que no podem provar totes les combinacions possibles d'entrada per assegurar-ne la sortida correcta i que en canvi hem d'assegurar un tant per cent de fiabilitat en un temps de test de l'ordre de les desenes de segons.

Això últim obliga freqüentment el dissenyador a afegir una nova lògica al CI que faciliti el test o a concebre la lògica interna de manera que en realitzi una part. Fins i tot s'afegeixen entrades i sortides addicionals per a facilitar l'aptitud final del xip a ésser sotmès a un test. En aquest cas parlem de circuits autotestables.

En casos molt especials, que trobem sobretot en grans circuits molt estructurats o especialitzats, per tal d'aconseguir uns rendiments de fabricació acceptables s'utilitzen tècniques d'autotest, i s'introdueixen la possibilitat de reconfiguració interna del xip, per tal d'evitar el mòdul defectuós, i també formes de concepció que permeten que certs tipus d'errors locals interns no afectin el bon funcionament global del xip (circuits tolerants a les falles).

4.3. LIMITACIONS DELS SISTEMES

Hem vist que els límits de la tecnologia CMOS, funcionant a temperatura ambient, no es posaran de manifest d'una forma molt seriosa fins a tecnologies per sota de 0,1 μm , cosa que permet encabir en un xip milers de milions de transistors. Ara bé, malgrat els avenços del disseny i del test dels xips abans esmentats, serà molt difícil, excepte en dissenys molt estructurats (p. ex. memòries), concebre en un temps raonable sistemes electrònics que aprofitin plenament les possibilitats que ofereix tal munió de transistors. Per tant, els límits més severos de la microelectrònica els trobem avui en el disseny arquitectural i no en la tecnologia. Es pot arribar a la paradoxa que els tecnòlegs siguin capaços

d'integrar milers de milions de transistors en un xip, però que fet i fet no sapiguen què fer-ne.

5. CONCLUSIÓ

En aquest article hem repassat els punts més importants de l'evolució de la microelectrònica i hem assenyalat els límits de la tecnologia microelectrònica capdavantera: la CMOS. Evidentment, existeixen altres tipus de tecnologies. Per exemple, entre les tecnologies basades en el silici hi trobem, a més de la CMOS, la bipolar i actualment la BiCMOS, maridatge d'aquestes dues.

TAULA 4. Evolució de les tecnologies microelectròniques (font: ICE).

Any Tecnologia		1982	1987	1992	1997 (previsió)	
		AsGa i altres	/	< 1%	1%	1%
Bipolar	ECL	4%	4%	2%	1%	10%
	TTL i altres	19%	12%	4%	1%	
	Bipolar lineal	22%	20%	13%	8%	
MOS	PMOS	2%	< 1%	/	/	89%
	NMOS	41%	24%	4%	< 1%	
	CMOS	12%	39%	74%	82%	
	Bi CMOS	/	/	2%	6%	

Els semiconductors composts (binaris o ternaris) d'elements de les columnes III i V permeten obtenir dispositius molt ràpids d'aplicació a les microones o dispositius per l'optoelectrònica. Altres tecnologies, com les basades en materials superconductors o les anomenades tecnologies quàntiques, tenen encara un grau de desenvolupament molt baix.

De fet, el desenvolupament de noves tecnologies microelectròniques, tret del CMOS, per al processament de la informació té un interès molt relatiu (vegeu la Taula 4), si no és per a cobrir les necessitats d'unes aplicacions molt específiques, ja que com hem esmentat, el límit real rau en el disseny i no en la tecnologia. En canvi sí que té molt interès aprofitar el gran desenvolupament que han tingut els processos microelectrònics i estendre'ls a altres camps, com per

exemple la mecànica. Això permet la fabricació simultània en un mateix xip de sensors, actuadors i processadors de senyals, cosa que constitueix un *microsistema* complet que s'aprofita de la miniaturització, del cost reduït i de la fiabilitat que la microelectrònica dona als seus productes.

REFERÈNCIES

1. APPELS, J. A., KOOI, E., PAFFEN, M. M., SCHLORGE, J. J. H. i VERKUYLEN, W. H. C. G., *Philips Res. Rep.*, 1970, 25, 118.
2. BENNET, C. H. i LANDAUER, R., *Scientific American*, 1985, 253(7), 43.
3. BROWN, D. M., GHEZZO, M. i PIMBLEY, J. M., *Proc. of IEEE.*, 1986, 74(12), 1678-1702.
4. BURNETT, J., *Semiconductor International*, 1988, 11(5), 160-163.
5. CHEN, M., *Semiconductor International*, 1988, 11(5), 78-81.
6. DEHMEL, R. C. i PARKER, G. H., *Solid-State Technology*, May 1987, 115-122.
7. DENNARD, R. H., *U. S. Patent 3 387 286*, (filed July 14, 1967; issued June 4, 1968).
8. DENNARD, R. H., GAENSLEN, F. H., KUHN, L. i YU, H. N., *IEEE Int. Electr. Des. Meeting*, Washington, D. C., (1972).
9. DENNARD, R. H., *IEEE Trans. Electron Devices*, 1984, ED31 (11), 1549-1555.
10. DENNARD, R. H., *Int. Symposium on VLSI TSA, Taiwan*, 1989, 188-192.
11. HEIMAN, E. P., *U. S. Patent 3 233 123* (filed Feb. 14, 1963, issued Feb 1, 1966).
12. HERRIOTT, D. R., *Proc. of IEEE*, 1983, 71(5), 566-570.
13. HOERMI, J. A., presented at the 1960 IRE International Electron Device Meeting, Oct. 27-29, 1960.
14. KAHNG, D. i ATALLA, M. M., *IRE-AIEE Solid-State Device Research Conference*. Carnegie Institute of Technology, Pittsburgh, PA, 1960.
15. KERWIN, R. E., KLEIN, D. L. i SARACE, J. C., *US Patent 3 475 234* (filed Mar. 27, 1967, issued Oct. 28, 1969).
16. KILBY, J. S., *IEEE Trans. on Elec. Dev.* 1976, ED23(7), 648-654.
17. MEAD, C. A. i CONWAY, L., *Introduction to VLSI system* Addison-Wesley, 1980.

18. MEINDL, J. D., *IEEE Trans. Electron Devices*, 1964, ED-31 (11) 1555-1561
19. MOORE, G. E., *Dig. Int. Electron Devices Meet. (IEEE)*, 11, 1975.
20. NOYCE, R. N., *U. S. Patent 2 981 877* (filed July 30, 1959, issued Apr. 25, 1961).
21. PARRILLO, L. C., *Semiconductor International*, 1988, 11(5).
22. Penn, T. C., *IEEE Trans. Electron Devices*, 1979, ED 26, 640.
23. RICHARDSON, W. F. i CHATTERJEE, P. K., *Technical Digest, Int. Electron Device Meeting*, 714-717, 1985.
24. SAI-HALASZ G. A. i DENNARD, R. H., *IEEE Electron Device Lett.*, 1987, 8(10), 463-466.
25. SUNNANI, H., *Technical Digest, IEEE Int. Electron Device Meeting*, 806-808, 1982.
26. SWANSON R. M. i MEINDL, J. D., *IEEE J. Solid State Circuits*, 1972, SC-7, 146.
27. UYEMURA, J. P., *Fundamentals of MOS Digital Integrated Circuits*, Addison-Wesley Publishing Co., 1988.

(Original rebut per a publicació
el dia 14 de setembre de 1993)